

ELECTROOPTIC DEVICE

Patent number: JP11065471 (A)

Publication date: 1999-03-05

Inventor(s): YAMAZAKI SHUNPEI; KOYAMA JUN; HIRAKATA YOSHIHARU; FUKUNAGA KENJI

Applicant(s): SEMICONDUCTOR ENERGY LAB

Classification:

- international: G02F1/1333; G02F1/1345; G09F9/00; G02F1/13; G09F9/00; (IPC1-7): G09F9/00; G02F1/1333; G02F1/1345

- european:

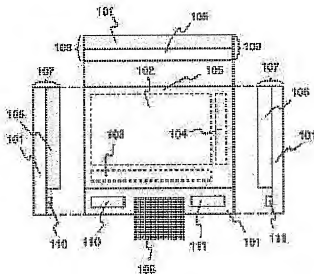
Application number: JP19970240507 19970820

Priority number(s): JP19970240507 19970820

Abstract of JP 11065471 (A)

PROBLEM TO BE SOLVED: To provide the electrooptic device which has superior portability and functionality.

SOLUTION: In an electrooptic device provided with an electrooptic modulation layer between a 1st substrate 101 and a 2nd substrate 105, on end surfaces 107 to 109 other than end surfaces, where IC chips 110 and 111 are fitted, among the end surfaces composed of the 1st substrate 101 and 2nd substrate 105, the end surfaces of the 1st substrate 101 and the end surfaces of the 2nd substrate 105 are all aligned. Consequently, the area of the 1st substrate 101 can be minimized.



Family list

6 application(s) for: JP11065471 (A)

1 ELECTROOPTIC DEVICE

Inventor: YAMAZAKI SHUNPEI ; KOYAMA JUN (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** G02F1/1333; G02F1/1345; G09F9/00; (+5)
Publication info: JP11065471 (A) — 1999-03-05

2 ELECTRO-OPTIC DEVICE

Inventor: YAMAZAKI SHUNPEI ; KOYAMA JUN (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** G02F1/136; G02F1/133; G02F1/1368; (+6)
Publication info: JP11084425 (A) — 1999-03-26

3 Electrooptical device

Inventor: YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: G02F1/13B5 **IPC:** G02F1/13; G09G3/36; G02F1/13; (+2)
Publication info: US6388652 (B1) — 2002-05-14

4 Electrooptical device

Inventor: YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: **IPC:** G02F1/1345; G09G3/36; G09G5/00; (+4)
Publication info: US2002131007 (A1) — 2002-09-19
US6778164 (B2) — 2004-08-17

5 Electrooptical device

Inventor: YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: **IPC:** G09G3/36; G09G3/36; (IPC1-7): G09G3/36
Publication info: US2005017940 (A1) — 2005-01-27
US7256776 (B2) — 2007-08-14

6 Electrooptical device

Inventor: YAMAZAKI SHUNPEI [JP] ; KOYAMA JUN [JP] (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: G09G3/36C8; G02F1/1362D **IPC:** G09G5/00; G09G5/00
Publication info: US2007291022 (A1) — 2007-12-20

特開平11-65471

(43) 公開日 平成11年(1999) 3月5日

(51) Int.Cl.⁸
 G 0 9 F 9/00 3 4 6
 G 0 2 F 1/1333
 1/1345

F I
 G 0 9 F 9/00 3 4 6 G
 G 0 2 F 1/1333
 1/1345

審査請求 未請求 請求項の数12 F D (全 15 頁)

(21) 出願番号 特願平9-240507

(22) 出願日 平成9年(1997) 8月20日

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内
 (72) 発明者 平形 吉晴
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

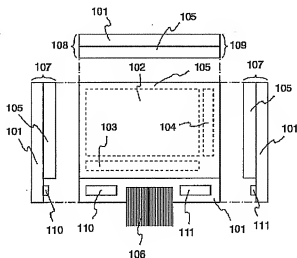
最終頁に続く

(54) 【発明の名称】 電気光学装置

(57) 【要約】

【課題】 携帯性、機能性に優れた電気光学装置を提供する。

【解決手段】 第1の基板101と第2の基板105との間に電気光学変調層を設けた電気光学装置において、第1の基板101と第2の基板105とが構成する端面のうち、ICチップ110、111を取り付ける部分の端面以外の端面107～109では、第1の基板101の端面と第2の基板105の端面を全て揃える。これにより第1の基板101の面積を最小限に小さくできる。



【特許請求の範囲】

【請求項1】第1の基板及び第2の基板と、前記第1の基板と前記第2の基板との間に設けられた電気光学変調層と、

を有する電気光学装置において、前記第1の基板上面には画素マトリクス回路、ソース駆動回路及びゲート駆動回路を構成する複数の薄膜トランジスタ並びにロジック回路を構成する1個乃至複数のICチップが設けられ、

前記第1の基板と前記第2の基板は、任意の端面を除く全ての端面を互いに揃えて貼り合わされてお、前記任意の端面に隣接する前記第1の基板上に前記ICチップが取り付けられていることを特徴とする電気光学装置。

【請求項2】第1の基板及び第2の基板と、前記第1の基板と前記第2の基板との間に設けられた電気光学変調層と、

を有する電気光学装置において、前記第1の基板上には画素マトリクス回路、ソース駆動回路及びゲート駆動回路を構成する複数の薄膜トランジスタ並びにロジック回路を構成する1個乃至複数のICチップが設けられ、

前記第1の基板と前記第2の基板は、FPCを取り付ける部分を除いて互いの端面を全て揃えて貼り合わされてお、

前記FPCを取り付ける部分に前記ICチップが取り付けられていることを特徴とする電気光学装置。

【請求項3】第1の基板及び第2の基板と、前記第1の基板と前記第2の基板との間に設けられた電気光学変調層と、

を有する電気光学装置において、前記第1の基板上には画素マトリクス回路、ソース駆動回路及びゲート駆動回路を構成する複数の薄膜トランジスタ並びにロジック回路を構成する1個乃至複数のICチップが設けられ、

前記第1の基板はFPCを取り付ける部分においてのみ露出しており、

前記FPCを取り付ける部分に前記ICチップが取り付けられていることを特徴とする電気光学装置。

【請求項4】請求項1乃至請求項3において、前記第1の基板はガラス基板であることを特徴とする電気光学装置。

【請求項5】請求項1乃至請求項3において、前記ICチップはCOG方式で取り付けられていることを特徴とする電気光学装置。

【請求項6】請求項1乃至請求項3において、前記ICチップはTAB方式で取り付けられていることを特徴とする電気光学装置。

【請求項7】請求項1乃至請求項3において、前記ICチップはA/Dコンバータ、VRAM、 γ 補正+極性反

転回路、D/Aコンバータ、クロックジェネレータ、制御マイコンを含むことを特徴とする電気光学装置。

【請求項8】請求項1乃至請求項3において、前記ICチップは増幅回路、 γ 補正+極性反転回路、サンプリング回路、バッファアンプ、クロックジェネレータ、制御マイコンを含むことを特徴とする電気光学装置。

【請求項9】請求項1乃至請求項3において、前記ICチップはVRAM、 γ 補正回路、クロックジェネレータ、制御マイコンを含むことを特徴とする電気光学装置。

【請求項10】請求項1乃至請求項3において、前記ICチップはDSP、フラッシュメモリ、VRAM、 γ 補正回路、クロックジェネレータ、制御マイコンを含むことを特徴とする電気光学装置。

【請求項11】請求項1乃至請求項7において、前記ICチップはYC分離回路および/またはRGB分離回路を含むことを特徴とする電気光学装置。

【請求項12】請求項1乃至請求項7において、前記ICチップはVS/B/QAM復調回路、トランスポートデコーダ、MPEG2（デコーダ）、フォーマット変換回路を含むことを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本願発明は絶縁基板上に形成された薄膜トランジスタと、同一基板上に設けられたICチップとで構成される電気光学装置、特にアクティブマトリクス型液晶表示装置の構成に関する。

【0002】

【従来の技術】近年、ガラス基板上に形成した半導体薄膜で薄膜トランジスタ（以下、TFTと呼ぶ）を形成する技術が発達している。そして、一対の基板間に挟持された光学変調層にかかる電圧をTFTで制御し、光のON/OFF動作を行う電気光学装置の開発が進んでいる。

【0003】特に、光学変調層として液晶を用いた液晶パネルは、ビデオカメラのビューファインダーやノートパソコンのモニター画面などの如き表示ディスプレイとして、急速に需要が高まっている。

【0004】現在では、半導体薄膜として結晶性珪素膜（代表的にはポリシリコン膜）を用いたポリシリコンTFTで構成される液晶パネルの開発が主流である。ポリシリコンTFTはアモルファスシリコンTFTよりも動作速度が速いため、同一基板上に画素マトリクス回路と駆動回路（シフトレジスタなど）を作り込むモノリシック型液晶パネルの形成が可能である。

【0005】さらには、シフトレジスタ等の駆動回路だけでなく、クロック制御回路、メモリ回路、信号変換回路などの如きロジック回路をも同一基板上に形成するシステム・オン・パネルの実現化が求められている。

【0006】その様なロジック回路はGHzオーダーにも及ぶ動作速度を必要とするため、ポリシリコンTFT

にも極めて高い動作速度が要求される。それを実現するためにはスケーリング則に従って素子の微細化を図らなければならない。

【0007】しかしながら、一般的に使用される大型ガラス基板上に配線幅1 μ m以下のファインパターンを形成することは非常に困難である。例えば、ガラス基板では基板表面のうねり、シュリンケージといった問題が生じる。また、広範囲にファインパターンを形成しうる様な光学系を実現することは極めて難しく、露光技術の進歩が律則となっている面もある。

【0008】従って、現状においてはシフトレジスタ等の駆動回路を同一基板上に作り込むのが限界（それでも動作速度が足らず、分割駆動が行われる）であり、その他のロジック回路は外付ICに頼っている。

【0009】

【発明が解決しようとする課題】軽薄短小が求められる現代では、電気光学装置もより小型化、より軽量化が求められる。ところが、駆動回路を内蔵させて液晶パネルの機能性を高めても液晶パネルに外付ICを付けている以上、どうしてもそれが装置の小型化及び軽量化の障害になってしまう。

【0010】本願発明はその様な問題点を鑑みてなされたものであり、液晶モジュールのさらなるシステム化を図り、より携帯性、機能性に優れた電気光学装置を提供することを課題とする。

【0011】

【課題を解決するための手段】本明細書で開示する発明の構成は、第1の基板及び第2の基板と、前記第1の基板と前記第2の基板との間に設けられた電気光学変調層と、を有する電気光学装置において、前記第1の基板上には画素マトリクス回路、ソース駆動回路及びゲート駆動回路を構成する複数の薄膜トランジスタ並びにロジック回路を構成する1個乃至複数個のICチップが設けられ、前記第1の基板と前記第2の基板は、任意の端面を除く全ての端面を互いに揃えて貼り合わされてあり、前記任意の端面に隣接する前記第1の基板上に前記ICチップが取り付けられていることを特徴とする。

【0012】上記構成は、第1の基板及び第2の基板と、前記第1の基板と前記第2の基板との間に設けられた電気光学変調層と、を有する電気光学装置において、前記第1の基板上には画素マトリクス回路、ソース駆動回路及びゲート駆動回路を構成する複数の薄膜トランジスタ並びにロジック回路を構成する1個乃至複数個のICチップが設けられ、前記第1の基板と前記第2の基板は、FPCを取り付ける部分を除いて互いの端面を全て揃えて貼り合わされてあり、前記FPCを取り付ける部分に前記ICチップが取り付けられていることを特徴とする、とも言える。

【0013】また、上記構成は、第1の基板及び第2の基板と、前記第1の基板と前記第2の基板との間に設け

られた電気光学変調層と、を有する電気光学装置において、前記第1の基板上には画素マトリクス回路、ソース駆動回路及びゲート駆動回路を構成する複数の薄膜トランジスタ並びにロジック回路を構成する1個乃至複数個のICチップが設けられ、前記第1の基板はFPCを取り付ける部分においてのみ露出しており、前記FPCを取り付ける部分に前記ICチップが取り付けられていることを特徴とする、とも言える。

【0014】

【発明の実施の形態】本願発明では、第1の基板101と第2の基板105との間に液晶層を設けて液晶パネルを構成する。この時、第1の基板101上に第2の基板105が貼り合わされた状態となっているが、各々の基板の端面（側面）107〜109を揃えることが本願発明の特徴である。

【0015】この構成は、第1の基板101と第2の基板105とを一括で切断しても得られるし、表裏両側から同じ位置を切断しても得られる。

【0016】ただし、FPC（フレキシブル・プリント・サーキット）を取り付ける部分のみは第2の基板105を除去して第1の基板101を露出させなければならない。そのため、そこだけは第1の基板101が必ず露出するので、その部分をICチップ110、111の取り付け部分として有効に活用する。

【0017】本願発明は、従来FPCの取り付け部としての利用されていた第1の基板101の露出部を、ICチップの取り付け部として有効に活用し、第1の基板101のサイズを必要最小限に抑えることを目的としている。

【0018】

【実施例】

〔実施例1〕本願発明の構成について図1を用いて説明する。図1は本願発明の液晶モジュールである。なお、液晶モジュールとは、完成した液晶パネルに対して必要な部品（偏光板、外付ICなど）を装着したものを指す。本実施例では偏光板など本願発明の構成に直接関係しない部品の記載を省略している。

【0019】図1において、101は第1の基板であり、第1の基板101上には画素マトリクス回路102やソース駆動回路103、ゲート駆動回路104がTFTでもって形成されている。また、105は第2の基板であり、第1の基板101との間に電気光学変調層（本実施例では液晶）を挟持するための対向基板である。

【0020】これら第1の基板、第2の基板には絶縁表面を有する基板が用いられる。絶縁表面を有する基板としては下地膜を設けたガラス基板、石英基板、セラミックス基板、シリコン基板等が挙げられる。また、石英基板は下地膜を設けなくても使用することができる。

【0021】本願発明の特徴は、第1の基板101の端面と第2の基板105の端面とを極力揃えることにあ

る。即ち、任意の端面を除く全ての端面を互いに揃えて貼り合わせることを特徴とする。

【0022】この場合、任意の端面は一辺のみとすることが好ましい。従って、角型ガラス基板を第1の基板と用いる場合、三つの端面は第1の基板と第2の基板とで揃っており、ただ一辺のみが揃っていない状態となる。例えば、図1に示す様にFPC106を取り付ける部分以外は、全ての端面107~109を揃えることが望ましい。

【0023】FPCを取り付ける部分(上記任意の端面に隣接する部分)は第1の基板101上の配線を露出させる必要上、第2の基板105のみを除去しなければならない。本願発明では、その様な理由で露出した第1の基板101上にICチップ110、111をCOG(chip on glass)法により形成する。

【0024】COGによるICチップの取り付けにはフェイスダウン方式とフェイスアップ方式(ワイヤボンディング方式とも言う)の2通りが知られている。本願発明にフェイスダウン方式を用いればICチップ110、111の素子形成面が第1の基板101側に向かう。また、フェイスアップ方式を用いればICチップ110、111の素子形成面が第2の基板105側に向かうことになる。

【0025】即ち、第1の基板101と第2の基板105は、FPC取り付け部以外の部分では全ての端面107~109が揃っており、FPC取り付け部のみ第1の基板101が露出する様な構成となっている。そして、その露出部にICチップ110、111が取り付けられている。

【0026】なお、ICチップは $0.35\mu\text{m}$ 以下(好ましくは $0.2\mu\text{m}$ 以下)といったディープサブミクロンのファインパターンを形成できるので、数 μm 角のチップ上に複雑なロジック回路を構成することができるとする。

【0027】また、本願発明の液晶パネルに取り付けうるICチップは2個とは限らず、必要に応じて1個乃至複数個を設ければ良い。

【0028】以上の様な構成とすることで、第1の基板101の占有面積を必要最小限に抑えることができる。即ち、第1の基板101のFPC取り付け部をICチップの取り付け部として有効に活用することで、液晶パネルの大きさを極力小さくすることが可能である。

【0029】また、通常、液晶パネルは1枚の基板から複数枚を取り出す(多面取りと呼ばれる)ことでスルーカットを向上させ、液晶パネル1枚あたりの単価を下げる。そのため、本願発明の様に液晶パネルのサイズを最小限に小さくできるという効果は、1枚の大型基板内に形成可能なパネル数を増やす上で有効である。

【0030】また、従来はプリント基板に形成された外付のロジック回路とモノリシック型液晶パネルとをFPCで繋いで信号のやりとりをしていたが、本願発明では

必要なロジック回路をワンチップ化して同一基板上に形成する。そのため、非常に携帯性及び機能性に優れた液晶モジュールを実現できる。

【0031】また、薄いガラス基板上に形成された液晶モジュール自体が表示ディスプレイとしての機能を有しているため、それを搭載した電子機器(ビデオカメラ、携帯情報端末など)の小型化、軽量化が実現される。

【0032】(実施例2)実施例1ではICチップの取り付け方法としてCOG法を用いる例を示したが、TAB(tape automated bonding)法を用いることも可能である。TAB法を用いた場合の構成を図2に示す。

【0033】図2において、第1の基板101と第2の基板105とは実施例1で説明した様な構成で貼り合わされている。当然、実施例1に示した様にFPC取り付け部以外の端面は第1の基板101と第2の基板105とで全て揃っており、FPC取り付け部のみ第1の基板101が露出している。

【0034】本実施例では、第1の基板101の露出した部分にTCP(tape carrier package)201~203を取り付ける。TCPとは、フレキシブルテープにロジックICをギャングボンディングで搭載したものを指す。なお、実施的にはFPCもTCPも同じものである。

【0035】TAB法を用いることで接続ピッチや形状、開き構造や曲げ構造など実装面での自由度が向上する。そのため、液晶パネルの大容量化、高精細化、カラー化に伴う接続ピッチのファイン化、液晶モジュールの薄型化、軽量化、コンパクト化に適している。

【0036】(実施例3)実施例1において用いるICチップ110、111は、バルク単結晶を利用したMOSFET(IGFETとも呼ばれる)を用いられたい。図3にバルク単結晶を利用したICチップを搭載した場合の例を示す。図3に示す液晶モジュールの構成は実施例1と同様である。

【0037】この時、ソース駆動回路103、ゲート駆動回路104はTFT(301で示される)で構成される。なお、図3にはN型及びP型TFTを相補的に組み合わせたCMOS回路(インバート回路)を記載したが、通常これを基本としてシフトレジスタ回路、バッファ回路、アナログスイッチ回路などを構成する。

【0038】なお、CMOS回路301はあらゆる手段で形成されたTFTで構成することができる。また、本願発明においてTFT構造は直接発明に関係しないので、詳細な説明は省略する。

【0039】次に、ICチップ110、111はバルク単結晶を利用したMOSFET(302で示される)で構成される。この302で示されるMOSFETは通常のIC形成技術で形成される。本実施例では詳細な説明は省略する。

【0040】バルク単結晶を利用する場合、従来のIC

技術を融接することができるので、非常に高い歩留りと信頼性とを確保することができる。また、機能性の高いICチップを小さい実装面積で取り付けることができる。

【0041】〔実施例4〕本実施例では、液晶モジュールに実装するICチップをSOI構造で形成する場合の例について説明する。図4にSOI構造のICチップを搭載した場合の例を示す。図4に示す液晶パネルの構成は実施例1と同様である。

【0042】図4において、ソース駆動回路103、ゲート駆動回路104はそれぞれTFTで構成されるCMOS回路(401で示される)を基本回路として構成される。そして、ICチップ402、403をSOI構造のFET(404で示される)で構成する。

【0043】図4において404で示されるSOI構造は、公知のSIMOX基板上にトランジスタを構成した例であるが、他のあらゆるSOI構造(貼り合わせSOI、スマートカット法を用いたSOIなど)を利用することが可能である。なお、ここのSOI構造の詳細な説明は省略する。

【0044】SOI構造と場合、バルク単結晶を利用したMOSFETより動作速度、信頼性の面で優れた回路を構成しうる。これは活性層を薄膜化することによる寄生容量の低減や短チャネル効果の抑制などが起因していると考えられる。

【0045】また、SOI技術を利用して三次元構造としたICチップを取り付けることも可能である。この場合、実装面積を大きくできなく、回路の機能を飛躍的に向上させることが可能である。

【0046】〔実施例5〕本実施例では、第1の基板上で画素マトリクス回路や駆動回路を構成するTFTの活性層の形成方法について説明する。具体的には、特開平7-130652号公報記載の技術により非晶質珪素膜を結晶化した後、その結晶化に利用した触媒元素を除去する手段を用いる。

【0047】まず、絶縁表面を有する基板として石英基板501を準備する。次に石英基板501上に下地膜502を形成する。この下地膜502は極力平坦なものとすることが好ましい。また、石英基板の代わりシリコン基板を用いることもできる。その場合、シリコン基板に対してハロゲン化物ガスを含有する雰囲気での熱酸化処理を行い、熱酸化膜を下地膜とすれば良い。

【0048】次に、非晶質珪素膜503を形成する。非晶質珪素膜503は最終的な膜厚(熱酸化後の膜減りを考慮した膜厚)が10~75nm(好ましくは15~45nm)となる様に調節する。成膜方法は減圧熱CVD法またはプラズマCVD法を用いることができる。

【0049】その際、非晶質珪素膜503に含まれるC(炭素)及びN(窒素)の濃度をいずれも 5×10^{18} atoms/cm³未満(代表的には 5×10^{17} atoms/cm³以下、好

ましくは 2×10^{17} atoms/cm³以下)とし、O(酸素)を 1.5×10^{19} atoms/cm³未満(代表的には 1×10^{18} atoms/cm³以下、好ましくは 5×10^{17} atoms/cm³以下)とすることが望ましい。これらの不純物元素は後の結晶化工程で結晶化を阻害する恐れがあり好ましくない。

【0050】次に、非晶質珪素膜503の結晶化工程を行う。結晶化の手段としては本発明者による特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施例2のどちらの手段でも良いが、本願発明では同公報の実施例2に記載した技術内容(特開平8-78329号公報に詳しい)を利用するのが好ましい。

【0051】特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜504を形成する。そして、非晶質珪素膜503の結晶化を助長する触媒元素としてニッケル(Ni)を含有した溶液をスピンコート法により塗布し、Ni含有層505を形成する。(図5(A))

【0052】なお、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、パラジウム(Pd)、白金(Pt)、銅(Cu)、金(Au)、ゲルマニウム(Ge)、鉛(Pb)、インジウム(In)等を用いることができる。

【0053】また、上記触媒元素の添加工程はスピンコート法に限らず、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、構成領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0054】次に、触媒元素の添加工程が終了したら、450℃1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500~700℃(代表的には550~650℃)の温度で4~24時間の加熱処理を加えて非晶質珪素膜503の結晶化を行う。本実施例では酸素雰囲気中で570℃14時間の加熱処理を行う。

【0055】この時、非晶質珪素膜503の結晶化はニッケルを添加した領域506で発生した核から優先的に進行し、基板501の基板面に対してほぼ平行に成長した結晶領域507が形成される。本発明者らはこの結晶領域507を横成長領域と呼んでいる。横成長領域は比較的に揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある。(図5(B))

【0056】結晶化のための加熱処理が終了したら、触媒元素(ニッケル)を除去または低減するための加熱処理(触媒元素のゲッタリングプロセス)を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッタリング効果を利用するのである。(図5(C))

【0057】なお、ハロゲン元素によるゲッタリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理

雰囲気中のハロゲン化合物の分解が困難となり、ゲッターリング効果が得られなくなる恐れがある。そのため加熱処理温度を好ましくは800～1000℃（代表的には950℃）とし、処理時間は0.1～6hr、代表的には0.5～1hrとする。

【0058】代表的な実施例としては酸素雰囲気中に対して塩化水素（HCl）を0.5～10体積％（本実施例では3体積％）の濃度で含有させた雰囲気中において、950℃、30分の加熱処理を行えば良い。HCl濃度を上記濃度以上とすると、活性層508の表面に膜厚程度の凹凸が生じようため好ましくない。

【0059】また、ハロゲン元素を含む化合物としてはHClガス以外にもHF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂等のハロゲン元素を含む化合物から選ばれた一種または複数種のものを用いることが出来る。

【0060】この工程においては横成長領域507中のニッケルが塩素の作用によりゲッターリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去される。そして、この工程後に得られる横成長領域508中のニッケルの濃度は 5×10^{17} atoms/cm²以下（代表的には 2×10^{17} atoms/cm²以下）にまで低減される。なお、本発明者らの経験によれば、ニッケル濃度が 1×10^{18} atoms/cm²以下（好ましくは 5×10^{17} atoms/cm²以下）であればTFT特性に悪影響はない。

【0061】以上の様にして触媒元素のゲッターリングプロセスが終了したら、次に結晶性珪素膜のパターニングを行い、横成長領域508のみで形成される活性層509を形成する。次に、珪素を含む絶縁膜であるゲイト絶縁膜510を形成する。ゲイト絶縁膜510の膜厚は後の熱酸化工程による増加分も考慮して20～250nmの範囲で調節すれば良い。また、成膜方法は公知の気相法（プラズマCVD法、スパッタ法等）を用いれば良い。

【0062】こうしてゲイト絶縁膜510を形成したら、再度触媒元素のゲッターリングプロセスを行う。条件は前述の条件に従えば良い。この加熱処理により再び触媒元素がゲッターリングされ、活性層509中に残存する触媒元素の濃度はさらに低減される。（図5（D））

【0063】また、この加熱処理により活性層509とゲイト絶縁膜510の界面では熱酸化反応が進行し、熱酸化膜の分だけゲイト絶縁膜510の膜厚は増加する。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体/絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良（エッジシニグ）を防ぐ効果もある。

【0064】さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中950℃1時間程度の加熱処理を行なうことで、ゲイト絶縁膜510の膜質の向上を図ることも有効である。

【0065】なお、本実施例では触媒元素のゲッター

ングプロセスを2回行う例を示しているが、どちらか一方であっても十分に触媒元素が低減される。例えば、図5（C）に示す工程を行っていれば、後の図5（D）に示す工程は酸素雰囲気のみで加熱処理を行っても良い。

【0066】以上の工程によって極めて界面特性及び結晶性に優れた活性層を得ることができる。後は、公知のTFT作製工程によってTFTを完成させ、画素マトリクス回路や駆動回路など、所望の回路を同一基板上に構成すれば良い。

【0067】本実施例に示すTFTは以下の様に非常に優れた電気特性を示す。

（1）TFTのスイッチング性能（オン/オフ動作の切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに60～100mV/decade（代表的には65～85mV/decade）と小さい。

（2）TFTの動作速度の指標となる電界効果移動度（ μ_{FE} ）が、Nチャネル型TFTで200～650cm²/Vs（代表的には250～300cm²/Vs）、Pチャネル型TFTで100～300cm²/Vs（代表的には150～200cm²/Vs）と大きい。

（3）TFTの駆動電圧の指標となるしきい値電圧（ V_{th} ）が、Nチャネル型TFTで-0.5～-1.5V、Pチャネル型TFTで-1.5～-0.5Vと小さい。

【0068】従って、本実施例のTFTで構成した電気回路は極めて速い動作速度を有している。そのため、実施例1、3、4において第1の基板上に形成されるソース駆動回路103、ゲイト駆動回路104に適用すると、分割駆動等の工夫のいらないシフトレジスタ回路を構成することも可能である。この事は、回路構成を簡単にし、回路の占有面積を小さくする上で有利である。

【0069】【実施例6】本実施例では、ICチップの代わりに実施例5で説明したTFTを用いた半導体回路を利用する場合の例を示す。

【0070】実施例5に示したTFTは非常に動作速度が速いため、従来ICチップで構成していた様なロジック回路を構成することもできる。特に、サブストレート基板としてシリコン基板を用いければ、ICチップの如き取り扱いが可能である。

【0071】この時、第1の基板上に形成するTFTはどのようなプロセスで形成されても構わない。本実施例では、非晶質珪素膜をエキシマレーザーで結晶化させて得た結晶性珪素膜を活性層として利用する。この様なTFTは公知の技術で作製することが可能であるので作製工程を説明は省略する。

【0072】図6に示すのは第1の基板上の配置状態を簡略化した図である。図6（A）において、601は1時間ガラス基板（第1の基板）であり、その上には上述の方法で形成されたTFTからなる画素マトリクス回路602、ソース又はゲイト駆動回路603が配置される。ま

た、604は実施例5で説明したTFTで回路構成した半導体チップであり、フェイスダウン方式のCOG法で取り付けられている。

【0073】また、図6(B)に示すのは半導体チップ604をフェイスダウン方式のCOG法で取り付けた場合である。605はボンディングワイヤである。

【0074】〔実施例7〕本実施例では、実施例6の構成において、第1の基板上に形成するTFTの作製工程が異なる場合の例を示す。具体的には、特開平7-130652号公報記載の技術で利用する触媒元素の除去にP(リン)によるゲッタリング効果を利用する場合の例について説明する。

【0075】まず、絶縁表面を有する基板として下地膜602を設けたガラス基板601を用意する。なお、ガラス基板の代わりに石英基板、セラミックス基板、シリコン基板等を用いることもできる。

【0076】次に、その上に非晶質珪素膜603を10~75nm(好ましくは15~45nm)の厚さに形成する。非晶質珪素膜603を形成したら、マスク絶縁膜604を形成し、スピンコート法によりニッケル含有層605を形成する。(図6(A))

【0077】次に、450℃1hr程度の水素出し処理を行った後、570℃14hrの加熱処理を行い、非晶質珪素膜の結晶化を行う。こうして横成長領域606が得られる。(図6(B))

【0078】ここまでの工程は実施例5と同様である。次に、マスク絶縁膜604を除去した後、ニッケルを除去すべき領域(被ゲッタリング領域)上にレジストマスク607を形成する。レジストマスクの代わりに酸化珪素膜等を用いても良い。

【0079】次にP(リン)元素の添加工程をイオン注入(イオンプラントレーション)法で行う。この工程はプラズマドoping法で行っても良い。イオン注入条件はRF電力を20W、加速電圧を5~30keV(代表的には10keV)に設定し、P元素のドーズ量は 1×10^{13} ions/cm²以上(好ましくは 5×10^{13} ~ 5×10^{14} ions/cm²)で行えば良い。

【0080】なお、後述するがPイオン注入工程の最適条件は、後に行うゲッタリングのための加熱処理の条件によって変化する。従って、実施者はプロセスの見地および経済的見地から最適条件を決定しなければならない。現状において、本発明者らは加速電圧は10keVとし、ドーズ量は 1×10^{14} ~ 5×10^{14} ions/cm²とすることが好ましいと考えている。このドーズ量は濃度換算すると約 8×10^{19} ~ 4×10^{20} atoms/cm²に対応する。

【0081】このPイオンの添加工程によってゲッタリング領域608、609と被ゲッタリング領域610が形成される。また、ゲッタリング領域608、609は注入されたイオンの衝撃によって非晶質化される。(図6(C))

【0082】こうしてPイオンの添加工程が終了したら、レジストマスク607を除去した後、ゲッタリングのための加熱処理を行い、被ゲッタリング領域610のニッケルをゲッタリング領域608、609に集結させる。こうしてニッケルが除去または低減された被ゲッタリング領域611を得る。(図6(D))

【0083】この時、加熱処理は電熱炉において不活性雰囲気、水素雰囲気または酸化性雰囲気いずれかで行えば良い。また、温度は400℃以上(好ましくは550~650℃、ただしガラスの歪点温度を超えない範囲)とすれば良い。また、処理時間は2時間以上(好ましくは4~12時間)とすれば良い。

【0084】また、本実施例ではガラス基板上にTFTを形成するためにゲッタリングのための加熱処理に制限がある。しかしながら、基板として石英基板やシリコン基板等の耐熱性の高い基板を用いれば、さらに高い温度でゲッタリングを行うことができる。高い温度でゲッタリングを行えば、その分処理時間を短縮することができるので効果的である。

【0085】本発明者の実験によれば、温度範囲は400~1050℃(代表的には600~750℃)、処理時間は1min~20hr(代表的には30min~3hr)とすれば十分なゲッタリング効果を得ることができる。この時、処理温度の上限はリン元素が被ゲッタリング領域へ逆拡散しない温度と考える。

【0086】以上の工程によって得られた横成長領域611をパターンニングすれば結晶性に優れ、且つ、余計な不純物を殆ど含まない活性層を得ることができる。その後は、公知のTFT作製工程に従ってTFTを完成させれば良い。

【0087】本実施例の工程に従って作製されたTFTも非常に高い動作性能を有しているため、駆動回路等を構成するのに適している。

【0088】〔実施例8〕本実施例では、実施例1で示した液晶モジュールに対して同一基板上にイメージセンサを搭載した場合の例について説明する。本実施例の場合、イメージセンサ801をTFTでもって形成する。

【0089】イメージセンサ801は、802で示される様にTFT部と光電変換部とで構成される。光電変換部は、下部電極(TFTのドレイン電極を兼ねる)803と上部電極804との間に光電変換層805を挟んだ構造である。

【0090】本実施例の様な液晶モジュールは、液晶パネル自体にイメージセンサが内蔵されたシステムパネルであり、本願発明の効果がさらに顕著に発揮される構成であると言える。この場合、ICチップ110、111に対してイメージセンサ801を制御するための制御回路を組み込むことも有効である。

【0091】〔実施例9〕本願発明は、電気光学変調素子としてEL材料(有機EL、無機EL)を用いたEL表

示装置に適用することも可能である。E.L表示装置は自発光型素子であるので、高輝度、高視野角といった利点を有し、直視型ディスプレイとしての用途に適している。

【0092】本願発明は電気光学装置およびそれを用いた電子機器の携帯性、機能性の向上を目的としているので、直視型ディスプレイに適用することで顕著な発明効果を得ることができる。

【0093】〔実施例10〕本実施例では、実施例1～8に示した構成の液晶モジュール及び実施例9に示したE.L表示装置におけるICチップの構成例を図6に示すブロック図を用いて説明する。なお、点線で囲まれた領域がICチップのシステム構成である。また、本実施例ではアナログ信号をデジタル処理した後、アナログ変換して液晶パネルに送信する回路例を示す。

【0094】外部から送信されるアナログ信号はR信号11、G信号12、B信号13及び水平同期信号14、垂直同期信号15である。RGB信号11～13はA/Dコンバータ16、VRAM17（時間軸伸長を行う）、 γ 補正+極性反転回路18、D/Aコンバータ19を経てアナログ信号で出力される。

【0095】その間、クロックジェネレータ20では水平同期信号14、垂直同期信号15を元にXGA、SXGA等に対応したクロックパルスやスタートパルスが形成され、A/Dコンバータ16、VRAM17、 γ 補正+極性反転回路18等に送られる。クロックジェネレータ20は制御マイコン21で制御される。

【0096】こうして、必要な処理を終えたアナログ信号としてR信号22、G信号23、B信号24が出力される。液晶パネルにはTFTでもってソース駆動回路25、ゲート駆動回路26、画素マトリクス回路27が形成され、前述のR信号22、G信号23、B信号24がソース駆動回路25へ送られる。

【0097】〔実施例11〕本実施例では、実施例1～8に示した構成の液晶モジュール及び実施例9に示したE.L表示装置におけるICチップの構成例を図10に示すブロック図を用いて説明する。本実施例はアナログ信号をそのまま液晶パネルに送信する回路例を示す。

【0098】なお、基本的な構成は実施例10で既に説明したので、実施例10と異なる点のみを説明することにする。

【0099】外部から送信されたアナログ信号（R信号11、G信号12、B信号13）は増幅回路30、 γ 補正+極性反転回路18、サンプルホールド31、バッファアンプ32を経て出力される。こうして、必要な処理を終えたアナログ信号としてR信号33、G信号34、B信号35が出力される。これらの信号はソース駆動回路25へ送られる。

【0100】〔実施例12〕本実施例では、実施例1～8に示した構成の液晶モジュール及び実施例9に示した

E.L表示装置におけるICチップの構成例を図11に示すブロック図を用いて説明する。本実施例はデジタル信号をそのまま液晶パネルに送信する回路例を示す。

【0101】R信号40、G信号41、B信号42は、例えば6～8bitに対応するデジタル信号である。RGB信号40～42はVRAM43、 γ 補正回路44で必要な処理が施され、R信号45、G信号46、B信号47となってソース駆動回路48へと送信される。本実施例の場合、ソース駆動回路48はデジタル信号に対応した回路構成とする必要がある。

【0102】〔実施例13〕本実施例では、実施例1～8に示した構成の液晶モジュール及び実施例9に示したE.L表示装置におけるICチップの構成例を図12に示すブロック図を用いて説明する。本実施例はデジタル信号を一演算処理してから液晶パネルに送信する回路例を示す。

【0103】なお、基本的な構成は実施例12で既に説明したので、本実施例では相違点のみに着目して説明を行う。

【0104】デジタル化されたRGB信号40～42はまずDSP（デジタルシグナルプロセッサ）50で補正演算処理が行われる。この時、補正データはフラッシュメモリ51に記憶されており随時読み出しを行う。

【0105】そして、補正演算されたビデオ信号はVRAM43、 γ 補正回路44で処理されてR信号52、G信号53、B信号54となってソース駆動回路48に送信される。

【0106】〔実施例14〕本実施例では、実施例10～13に示したシステム構成に入力するRGB信号を形成する過程の構成例を図13に示すブロック図を用いて説明する。なお、本実施例の回路構成も、ワンチップ化することで液晶パネル基板上に搭載することが可能である。

【0107】図13（A）に示す様に、NTSC信号60はYC分離回路61でY（輝度）信号62、C（色）信号63とに分離される。そして、それらの信号はRGB分離回路64で、R信号65、G信号66、B信号67とに分離される。また、ここで水平同期信号68、垂直同期信号69が形成される。

【0108】なお、PAL方式の信号など他のTV規格の信号も同様の構成からなる回路で処理されて液晶パネルへと送られる。

【0109】また、図13（B）に示す様に、レーザーディスクやBS（衛星放送）からの信号はY（輝度）信号70、C（色）信号71として送られてくる。これをRGB分離回路64で処理してR信号72、G信号73、B信号74とに分離する。また、水平同期信号75、垂直同期信号76も形成される。

【0110】これらRGB信号及び水平・垂直同期信号は実施例10～13に示したそれぞれのシステム回路に

送信されて液晶パネルの駆動回路へと送られ、画素マトリクス回路で映像として復元される。

【0111】〔実施例15〕本実施例では、実施例10～13に示したシステム構成に入力するRGB信号を形成する過程の構成例を図14に示すブロック図を用いて説明する。なお、本実施例では実施例14と異なり、米国等のデジタル放送に対応する(ＡＴＶに対応する)ための回路構成の例を示す。

【0112】ビデオ信号80は、アンテナから受信されたビデオ信号に対して様々な周波数変換処理を施した信号である。この信号をVSB(またはQAM)復調回路で元の周波数に変調する。そして、それをトランスポートデコーダ82で符号化された信号に戻す。

【0113】こうして処理された信号をMPEG2(デコーダ)83に入れ、周波数帯域の伸長を行う。そして、フォーマット変換回路84で所望のフォーマット信号にして、さらにR信号85、G信号86、B信号87及び水平同期信号88、垂直同期信号89を形成する。

【0114】なお、ここではデジタル信号を取り扱うので、最終的にアナログ信号として得たい場合には、フォーマット変換回路84の後にD/Aコンバータ(図示せず)を設けておけば良い。

【0115】以上の様にして得られたビデオ信号を実施例10～13に示したシステムで処理する。そこまでをICチップで行い、ICチップ上で処理されたビデオ信号をTFTでなくても基板上に形成されたソース/ゲイト駆動回路に送れば良い。

【0116】〔実施例16〕

【0117】本実施例では、大型基板から複数枚の液晶パネルを取り出す場合の製造工程(多面取り工程)について図15を用いて説明する。なお、本実施例では大型角基板から液晶パネル9枚を作製する場合を例にとる。

【0118】図15(A)はセル組み過程において貼り合わせた同サイズの大型基板を分断する工程である。図15(A)において、1501で示されるのはシール材(封止材)であり、この周みの内部に液晶材料が封入される。本実施例では、まず、図15(A)に示す様に液晶注入口1502の形成される面をスクライバーによって分断する。

【0119】スクライバーとは、基板に細い溝(スクライプ溝)を形成した後に基板に小さな衝撃を与え、溝に沿った亀裂(クラック)を発生させて基板を分断する装置である。

【0120】なお、基板を分断するための装置としては他にもダイサーが知られている。ダイサーとは、硬質カッター(ダイシングソー)を高速回転させて基板を分断する装置である。しかしながら、ダイサー使用時は熱と研磨粉を抑えるため水を大量にまく必要があるため、液晶注入口が空いている図15(A)の状態では液晶注入口に水が入ってしまうので使用できない。

【0121】ところで、図15(A)の工程では、スクライプ溝は基板表面近傍に形成されるので第1の基板側(TFTを作製する側の基板)と第2の基板側(対向側の基板)とにスクライプ溝を入れ、2回に分けて分断する。この様子を図15(B)、(C)を用いて説明する。

【0122】まず、図15(B)において矢印で示す様に第1の基板1503側と第2の基板1504側の両面からスクライプ溝を形成し、分断する。この時、図15(B)に示す様に、第1の基板1503と第2の基板1504の端面を揃える。

【0123】次に、図15(C)において矢印で示す様に第1の基板1503側のみにスクライプ溝を入れて第1の基板の一部のみを除去する(点線で示される)。これにより第2の基板の一部が露出する。この部分1505はFPC及びICチップを取り付ける部分として活用される。

【0124】また、本実施例の様に液晶注入口1502の形成される側の端面が第1の基板と第2の基板とで揃っていることは製造コストの低減につながる。なぜならば、端面を揃えておけば後の液晶注入工程において液晶注入口をちょうど液晶表面に接する様な恰好にできるため、準備する液晶の液面高さを最小限に抑えられるからである。即ち、液晶を効率良く使用できるのでコスト低減に大きく寄与することになる。

【0125】こうして3枚の液晶パネルが1組となった3つの基板に分断される。次に、この3つの基板のそれぞれに対して液晶材料の注入・封止工程を行う。この工程は公知の工程に従えば良いので説明は省略する。

【0126】この時、3枚分の液晶パネルに対して一度に液晶材料を注入することが可能である。勿論、3つの基板を同時にパッチ処理にして9枚分の液晶パネルに対して一度に液晶材料を注入することも可能である。

【0127】以上の様に、液晶材料の注入工程及びシール材の封止工程が終了したら、次に図16に示す様な破線方向に沿ってダイサーによる分断を行う。なお、この工程の前に液晶材料1506を封入したのはこの分断工程においてダイサーを使用可能とするためである。なお、1507は液晶材料を封止するための封止材である。

【0128】ダイサーを用いる利点としては分断ミスがスクライバーよりも少なく歩留りが高い点と、第1の基板と第2の基板とを一括で分断することが可能であるのでスルーブットを向上できる点が挙げられる。

【0129】こうして図15(B)に示す分断工程によって9枚の液晶パネルが個々に分断される。この分断工程ではダイサーで一括に行えば良いので、スクライバーの様に基板の両側からスクライプしなくてはならないという煩わしさが無い。

【0130】また、本願発明ではICチップを取り付け

る部分に隣接する端面以外の全ての端面において第1の基板の端面と第2の基板の端面とを揃えるので、図16に示す分断と同時に液晶パネルの分断工程が終了する。

【0131】ところで、本実施例では分断工程においてスクライバーによる分断とダイザーによる分断とを使い分けるが、その使い分けには以下に示す様な注意が必要である。

【0132】まず、スクライバーを使用する場合、スクライブ溝に衝撃を与えてクラックを発生させ、それに沿って基板を分断するため分断時に基板上に形成された素子(TFT等)に対してストレスがかりやすい。素子にかかったストレスは素子特性の劣化等を招く可能性があるので好ましくない。

【0133】従って、分断面の近傍に高い動作速度を必要とする様な回路が構成されている場合には、ストレスが非常に悪影響を与えるのでスクライバーによる分断を避けてダイザーによる分断を行うのが好ましい。換言すればストレスの影響を受けやすい回路の配置された近傍を分断する場合には極力ダイザーを用い、ストレスの影響がさほど現れない様な回路の配置された近傍を分断する場合のみスクライバーを用いるのが望ましい。

【0134】また、例えば基板上にTFTでもって形成された駆動回路は、液晶材料で覆われているとストレスを受けにくい。従って、液晶を封入するシール材に囲まれた領域内に駆動回路が形成されている場合には、スクライバーを使ってもストレスが伝わりにくい。また、ダイザー用いるのならば、画素マトリクス回路上のみに液晶層を配置し、駆動回路上には液晶層が存在しない様な構成としても分断時のストレスを受けにくい。

【0135】以上の様に、分断する基板面の近傍にどの様な回路が配置されているかによってスクライバーによる分断とダイザーによる分断とを使い分けることは非常に有効である。本実施例の様にスクライバーとダイザーとを使い分ける場合にはこの様な注意が非常に大きな意味を持つ。

【0136】【実施例17】本願発明の液晶モジュールは、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、液晶モジュールに代表される電気光学装置を搭載した製品と定義する。

【0137】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。それらの一例を図17に示す。

【0138】図17(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を表示装置2004等に適用することができる。

【0139】図17(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102に適用することができる。

【0140】図17(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205等に適用できる。

【0141】図17(D)はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本願発明は表示装置2302に適用することができる。

【0142】図17(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクタ2405、2406、スクリーン2407で構成される。本願発明は表示装置2403に適用することができる。

【0143】図17(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本願発明は表示装置2503に適用することができる。

【0144】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。特に、携帯性を重視した電子機器には非常に効果的であると言える。

【0145】例えば、ICチップで様々な信号処理を行えるので、実施的に液晶モジュールのみで電子機器の殆どの機能を果たしてしまう。即ち、カード型モバイルコンピュータの如き電子機器をも実現しうる。

【0146】

【発明の効果】本願発明はTFTを作製する側の基板と対向側の基板とを極力端面を揃える様に貼り合わせ、FPC取り付け部にICチップを取り付けるため、極めてコンパクトな液晶モジュールを構成することができる。

【0147】そのため、ICチップ搭載型のシステムパネルを最小限のサイズで実現できる、非常にコンパクトで、且つ、多機能性を有する液晶モジュールを実現できる。これはそのまま電子機器の小型化・軽量化(携帯性の向上)に寄与する。

【図面の簡単な説明】

- 【図1】 液晶モジュールの構成を示す図。
- 【図2】 液晶モジュールの構成を示す図。
- 【図3】 液晶モジュールを構成する回路の拡大図を示す図。
- 【図4】 液晶モジュールを構成する回路の拡大図を示す図。

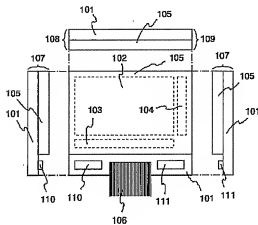
- 【図5】 活性層の形成工程を説明するための図。
 【図6】 液晶モジュールの断面構造を説明するための図。
 【図7】 活性層の形成工程を説明するための図。
 【図8】 液晶モジュールを構成する回路の拡大図を示す図。
 【図9】 液晶モジュールのシステム構成を示す図。
 【図10】 液晶モジュールのシステム構成を示す図。
 【図11】 液晶モジュールのシステム構成を示す図。
 【図12】 液晶モジュールのシステム構成を示す図。
 【図13】 液晶モジュールのシステム構成を示す図。
 【図14】 液晶モジュールのシステム構成を示す図。
 【図15】 多面取りの際の分断工程を説明するための図。

- 図。
 【図16】 多面取りの際の分断工程を説明するための図。
 【図17】 電子機器の一例を説明するための図。

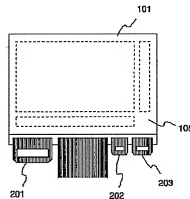
【符号の説明】

- 101 第1の基板
 102 画素マトリクス回路
 103 ソース駆動回路
 104 ゲイト駆動回路
 105 第2の基板
 106 FPC
 107~109 端面
 110、111 ICチップ

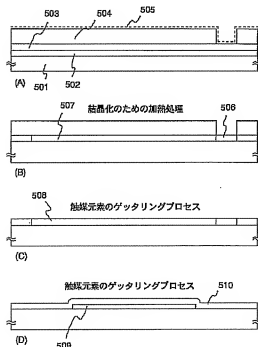
【図1】



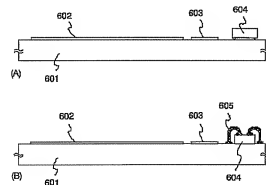
【図2】



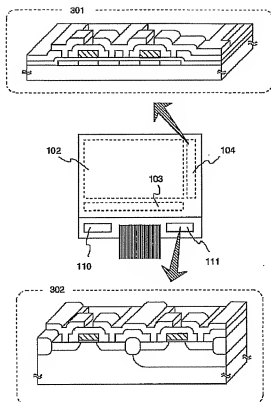
【図5】



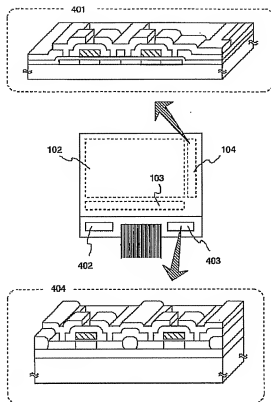
【図6】



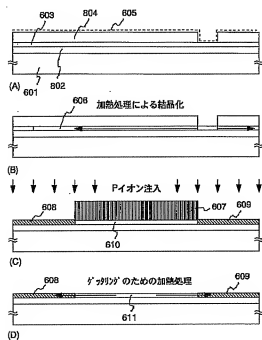
【図3】



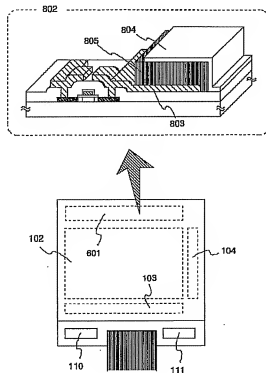
【図4】



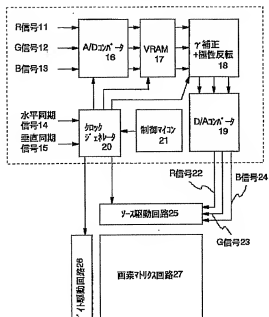
【図7】



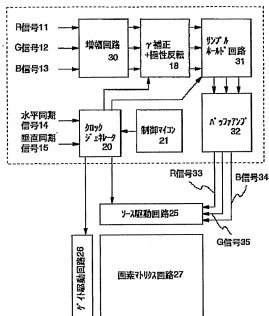
【図8】



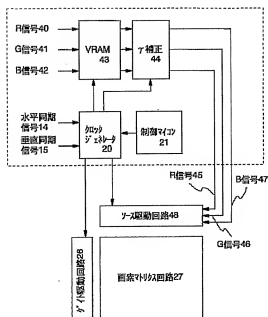
【図9】



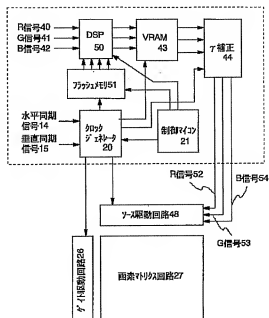
【図10】



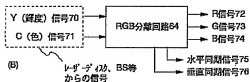
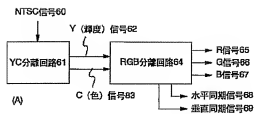
【図11】



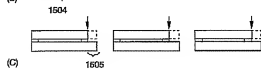
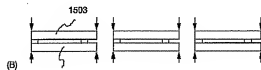
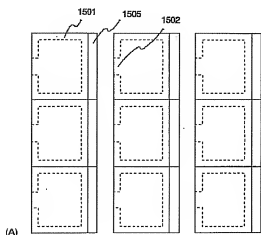
【図12】



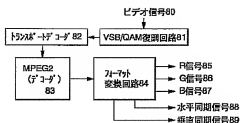
【図13】



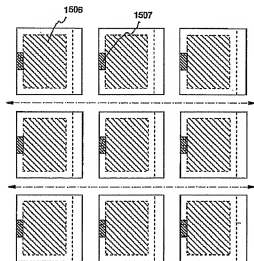
【図15】



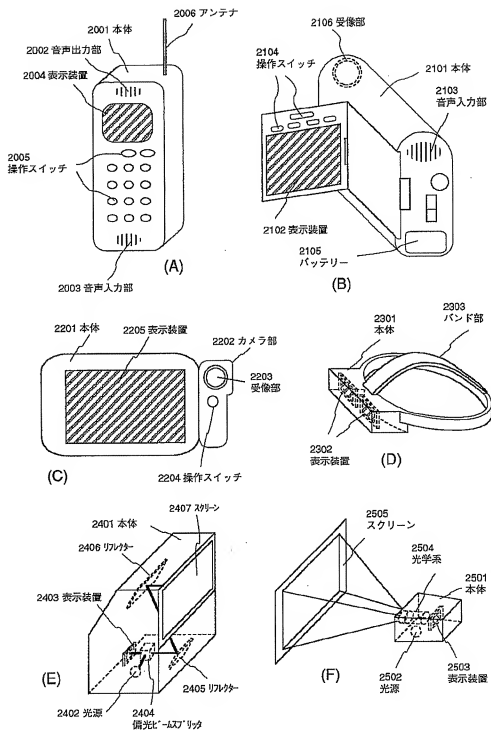
【図14】



【図16】



【図17】



フロントページの続き

(72)発明者 福永 健司
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内